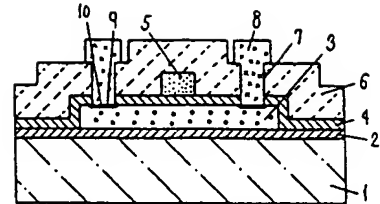


(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

- (11) 2-205065 (A) (43) 14.8.1990 (19) JP
(21) Appl. No. 64-24232 (22) 2.2.1989
(71) MATSUSHITA ELECTRON CORP (72) AKIO NAKAMURA
(51) Int. Cl.³ H01L27/04, H01L21/90

PURPOSE: To obtain the resistance of a polycrystalline silicon resistor with high reproducibility by a method wherein a second metal wirings provided on a third insulating film formed on a first metal wiring are directly brought into contact with the surface of the polycrystalline silicon resistor to use the second metal wirings as the integrated circuit internal connection wirings of the polycrystalline silicon resistor.

CONSTITUTION: After a first insulating film 2 is formed on a silicon substrate 1, a polycrystalline silicon resistor 3 doped with P-type impurity is formed. After a second insulating film 4 is formed, a first metal wiring 5 is formed. After a thermal treatment is applied to obtain an ohmic contact with the foundation, a third insulating film 6 is formed by a plasma CVD method. Then organic solvent containing Si is applied to the surface of the insulating film 6 to form a spin-on-glass layer. After that, a thermal treatment is applied for leveling, apertures 7 are drilled, second metal wirings 8 are formed and, after a protective film is formed, a thermal treatment is applied to remove plasma application damages produced by plasma dry etching.



THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-205065

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月14日

H 01 L 27/04
21/90

P 7514-5F
D 6810-5F

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 平1-24232

⑰ 出 願 平1(1989)2月2日

⑱ 発 明 者 中 村 彰 男 大阪府門真市大字門真1006番地 松下電子工業株式会社内

⑲ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地

⑳ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1、発明の名称

半導体集積回路装置

2、特許請求の範囲

第1絶縁膜上に配設されたポリシリコン抵抗体と、前記第1絶縁膜および前記ポリシリコン抵抗体を覆って被着された第2絶縁膜と、前記第2絶縁膜上に配設された第1金属配線と、前記第1金属配線および前記第2絶縁膜を覆って被着された第3絶縁膜と、前記ポリシリコン抵抗体の直上の前記第3絶縁膜上に配設された第2金属配線とを有し、前記第2金属配線が、前記第2絶縁膜および前記第3絶縁膜を貫通する開閉部を介して、前記ポリシリコン抵抗体の表面に接続されてなる半導体集積回路装置。

3、発明の詳細な説明

産業上の利用分野

本発明は、シリコン基板上に配設された抵抗値のばらつきが小さい、ポリシリコン抵抗体を有する半導体集積回路装置に関するものである。

従来の技術

近年、高速化する半導体集積回路装置にあっては、寄生容量が小さいポリシリコン抵抗がよく使用される。

以下に従来の半導体集積回路装置について説明する。第2図は、従来の半導体集積回路装置の断面構造図を示すものである。第2図において、1はシリコン基板、2は第1絶縁膜、3はポリシリコン抵抗体、4は第2絶縁膜、5は第1金属配線、6は第3絶縁膜、8は第2金属配線、9は接続部、10は合金層である。

以上のように構成された半導体集積回路において、ポリシリコン抵抗体3の接続部9では、第1金属配線5がポリシリコン抵抗体3と直接接続されている。

発明が解決しようとする課題

しかしながら、上記の従来の構成では、第1金属配線5を集積回路内部接続配線としているため、第2金属配線5と下地とのオーミック接触を得るための約400℃で15分程度の熱処理およ

び第3絶縁膜をスピノンガラスを含む複層膜で構成する場合、450～500℃で30分程度の平坦化熱処理、さらに、保護膜形成後に、プラズマドライエッチングのプラズマ照射ダメージを除去する400～450℃で15分程度の熱処理がすべて、第1金属配線5とポリシリコン抵抗体3との接続部9との合金層10が、接続部9の端部から横方向へ1.5～2μm程度しみ出してしまい、ポリシリコン抵抗体3の長さによっては、その抵抗値のばらつきが30%～50%にも達したり、ショートしてしまうという欠点を有していた。

本発明は、上記従来課題を解決するもので、ポリシリコン抵抗体の抵抗値を再現性よく得られる半導体集積回路装置を提供することを目的とする。

課題を解決するための手段

この目的を達成するために本発明の半導体集積

回路装置は、第1金属配線5上に被着した第3絶縁膜上に配設する第2金属配線8が、ポリシリコン抵抗体の表面に直接接続した構成を有し、第2金属配線をポリシリコン抵抗体の集積回路内部接続配線としている。

作用

この構成によって、接続部ではポリシリコン抵抗体の表面と第2金属配線が直接接触する。このため第2金属配線とポリシリコン抵抗体との接続部では、第1金属配線のオーミック接触用の熱処理および第3絶縁膜の平坦化熱処理を受けないので、過剰な合金層をおさえ、従って接続部からの合金層のしみ出しを制御でき、ポリシリコン抵抗体の抵抗値のばらつきを低減することができ、抵抗値の再現性のよい半導体集積回路装置を得ることができる。

実施例

以下本発明の一実施例について図面を参照しながら説明する。

第1図は、本発明の一実施例における半導体集

— 3 —

積回路装置の断面構造図を示すものである。第1図において、シリコン基板1上に第1絶縁膜2、例えばシリコン酸化膜を0.5μmの厚さで形成した後、P型にドーピングしたポリシリコン抵抗体3を形成する。その後、第2絶縁膜4を、例えばシリコン酸化膜を0.1μmの厚さで形成した後、第1金属配線5として、Siを1%含むアルミニウムを厚み1μm形成する。その後、下地とのオーミック接触を得る熱処理として、例えば380℃15分の熱処理を施した後、第3絶縁膜6として、例えばシリコン酸化膜をプラズマCVD法により約0.5μm形成した上部に、Siを含んだ有機溶剤を塗布し、スピノンガラスを形成する。その後、400～500℃で30分程度の平坦化熱処理を施し、開導部7を開孔し、第2金属配線8を形成し、保護膜形成後にプラズマドライエッチングのプラズマ照射ダメージを除去する400～450℃で15分程度の熱処理を施す。

以上のように構成された半導体集積回路において、ポリシリコン抵抗体の接続部9には、第1金

— 4 —

属配線5は形成されず、第2金属配線8のみが直接接続される。このため第2金属配線8とポリシリコン抵抗体3との接続部9では第1金属配線の下地とのオーミック接触を得るための熱処理および第3絶縁膜の平坦化熱処理を受けないので、金属粒子の過剰な拡散が制御され、合金層のしみ出しが0.3μm程度以下と従来の1/5以下に低減される。これにともない、ポリシリコン抵抗体のばらつきも10%程度まで低減可能である。なお、ポリシリコン抵抗体と第2金属配線間の合金化熱処理は、保護膜形成後の400～450℃15分の熱処理で、充分小さく、安定したコンタクト抵抗が得られている。また、コンタクト数はポリシリコン抵抗体1個につき、等価回路に応じていくつあってもよいことは明白である。

発明の効果

以上のように、本発明によれば、第1金属配線5上に被着した第3絶縁膜上に配設する第2金属配線8が、ポリシリコン抵抗体の表面に直接接続した構成により、第2金属配線とポリシリコン抵抗体

— 5 —

— 6 —

との接触部では第1金属配線のオーミック接触用の熱処理および第3絶縁膜の平坦化熱処理を受けないので、過剰な合金層をおさえ、従って接触部からの合金層のしみ出しを制御でき、ポリシリコン抵抗体の抵抗値のばらつきを低減でき、抵抗値の再現性のよい優れた半導体集積回路装置を実現できる。

4、図面の簡単な説明

第1図は、本発明の一実施例半導体集積回路装置の断面構造図、第2図は、従来の半導体集積回路装置の断面構造図である。

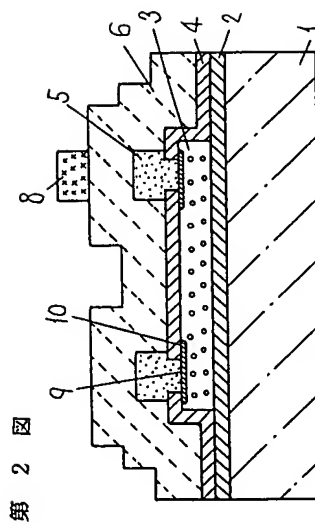
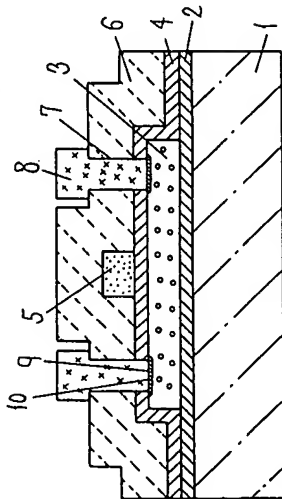
2……第1絶縁膜、3……ポリシリコン抵抗体
4……第2絶縁膜、5……第1金属配線、6……
第3絶縁膜、7……開口部、8……第2金属配線

代理人の氏名 弁理士 栗野重孝 ほか1名

- 7 -

2……第1絶縁膜
3……ポリシリコン抵抗体
4……第2絶縁膜
5……第1金属配線
6……第3絶縁膜
7……開口部
8……第2金属配線

第1図



第2図

THIS PAGE BLANK (USPTO)